

# DISEÑO E IMPLEMENTACIÓN DE UNA TARJETA ENTRENADORA PARA FPGA CON APLICACIONES PRÁCTICAS PARA EL LABORATORIO DE MICROELECTRÓNICA DE LA UNIVERSIDAD FRANCISCO DE PAULA SANTANDER

Por:

José Armando Becerra Vargas<sup>1</sup>, Deifan Argenis Sánchez Nieto<sup>2</sup>, Alberto Pinto Arias<sup>2</sup>

## ABSTRACT

In this paper the conception, design and implementation of a card trainer for fpga with practical applications for the laboratory of microelectronics of the university Francisco de Paula Santander is presented. The FPGA programming interface is JTAG.

Palabras claves: Microelectrónica, FPGA, VHDL, Tarjeta entrenadora.

## INTRODUCCIÓN

Las FPGA son dispositivos que permiten diseñar sistemas digitales para aplicaciones específicas, es el usuario quién finalmente decide en que se convertirá el dispositivo mediante su configuración.

Estos dispositivos poseen la ventaja de tener un puerto JTAG (Joint Test Action Group ) el cual es un estándar de la IEEE (Institute of Electrical and Electronic Engineers) estándar # 1149.1- 1990 que permite tanto la configuración del circuito integrado como la posibilidad de tener su funcionamiento en el circuito impreso sin necesidad de utilizar equipo de mediciones, permitiendo observar en tiempo real, mediante software's como el ChipScope-Pro® (integrated logic analyzer for FPGAs Xilinx®), las entradas, los procesos y las salidas en el dispositivo. Con lo cual se obtiene la opción de determinar rápidamente la depuración de los diseños, si el problema está en el diseño digital y/ó en la tarjeta del circuito impreso (PCB ( Printer Circuit Boarb))[1].

La opción de crear los diseños en VHDL es una característica importante y relevante en estos dispositivos, los diseños son portables independientemente de la familia del circuito integrado (CI) que se utilice o de la empresa que lo fabrique, solo influye el tamaño del CI, es decir que el número de entradas/salidas y el número de puertas lógicas sea mayor o igual al requerido para el diseño[2,3].

## PRESTACIONES

Para demostrar el enorme potencial encerrado en el diseño con FPGA, el objetivo fundamental de este trabajo es el diseño e implementación de una tarjeta de desarrollo para FPGA con aplicaciones prácticas para el laboratorio de microelectrónica de la Universidad Francisco de Paula Santander. El diseño con FPGA ofrece diferentes prestaciones para el usuario tales como portabilidad del diseño, la ventaja que se esta diseñando hardware y la opción de un software con un gran flexibilidad para la depuración del diseño. Por todos estos motivos se decidió que el sistema debería contar con las siguientes características:

- Ser capaz de permitir la implementación de los diseños en VHDL.
- Servir de prototipo para implementar otra(s) tarjeta(s) entrenadora(s) para FPGA's (archivos de diseño y construcción).
- Contar con la posibilidad de elementos adicionales como leds, interruptores, pulsadores, display y buses de conexión de periféricos, para comprobar el funcionamiento. Característica que la convierte en un recurso didáctico para la enseñanza del diseño digital.

<sup>1</sup>Director de Departamento de Electricidad & Electrónica ,Universidad Francisco de Paula Santander, e-mail: jabecerr@bari.ufps.edu.co

<sup>2</sup>Ing. Electrónico Universidad Francisco de Paula Santander, e-mail: dasanche@bari.ufps.edu.co , apinto@bari.ufps.edu.co

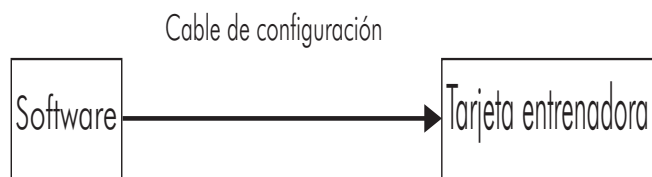
- Reducidas dimensiones físicas (portátil).
- Posibilidad de tener acceso a los pines de entrada/salida para interactuar con otro hardware.

Bajo estas premisas se inició el diseño de la tarjeta; comenzando con la selección de los componentes y desarrollando un prototipo basado en la FPGA de Xilinx® XC2S15 TQ144® para luego realizar las pruebas y prácticas en el laboratorio.

### ASPECTOS FUNDAMENTALES PARA EL DISEÑO

Para poder definir la selección de los componentes utilizados, primero es necesario tener un diagrama de bloques del sistema completo mostrado en la figura 1.

Figura 1. Diagrama de bloques general del proyecto.



En la figura 1 aparecen los siguientes elementos:

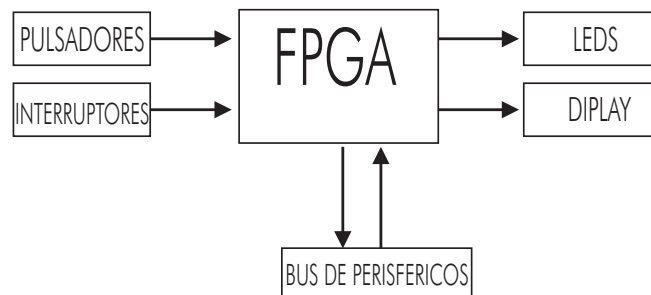
**Software:** Debe permitir generar un archivo de configuración de la FPGA.

**Cable de configuración:** Es el encargado de realizar la interfaz para la comunicación entre el computador y la FPGA en el momento de la configuración del diseño.

**Tarjeta entrenadora:** permite comprobar el correcto funcionamiento del circuito implementado en la FPGA.

El siguiente paso es tener un diagrama de bloques de la tarjeta entrenadora mostrado en la figura 2.

Figura 2. Diagrama de bloques de la tarjeta entrenadora.



En la figura 2 aparecen los siguientes elementos:

**Bloques de entradas:** conformado por pulsadores e interruptores los cuales proporcionan las señales de entrada al circuito implementado.

**Bloques de salidas:** conformado por un conjunto de led's y 4 display los cuales visualizarán las salidas después del tratamiento a unas señales de entrada por el circuito configurado en la FPGA.

**Bloque de entrada/salida:** es un bus en el cual podemos conectar algún periférico y mediante la configuración determinar que pines son de entrada y que pines son de salida.

**FPGA:** es el circuito integrado que se configura con el diseño digital.

### CRITERIOS DE SELECCIÓN DE LOS COMPONENTES

La selección de los componentes se realizó tomando como referencia cada uno de los bloques descritos anteriormente, de esta forma se tiene:

**Software.** La selección del software se hizo después de una investigación y análisis de las diferentes opciones que presentan las casas matrices para la configuración de las FPGA, en este proceso de selección el director junto con los coinvestigadores del proyecto como integrantes del grupo de investigación en automatización y control (GIAC), se inscribieron en

el programa universitario de Xilinx®, y se logró la donación del software Integrate Software Environment (ISE®) con licencia, el cual cumple ampliamente con las expectativas de desarrollo del proyecto.

**Cable de configuración.** Una vez seleccionado el software este requiere que el cable sea compatible con él, y Xilinx® presenta un diseño apropiado, el cual se implemento [1].

**Tarjeta entrenadora.** Esta se diseño atendiendo los requerimientos para la configuración de la FPGA, así mismo que la presentación fuera lo más didáctica posible y que permitiera trabajar con hardware externo.

**FPGA.** Para la escogencia de FPGA se tuvo en cuenta cuales pueden ser configuradas por el software ISE®, aunque las opciones eran diversas se selecciono una FPGA de gama media en la cual se puedan desarrollar proyectos de alta complejidad, de un precio accesible y de popularidad en el mercado electrónico.

### **CARACTERÍSTICAS DE LOS PINES DE UNA FPGA.**

Antes y durante la configuración, los pines de salida no usados para la configuración, se los pone en triestado con un pull-up interno de entre  $50k\Omega$  y  $100K\Omega$ . Luego de la configuración, si un IOB(input-output Block) no se usa, se lo define como entrada con un pull-up de entre  $50k\Omega$  y  $100K\Omega$ . Cualquier pin puede dedicarse a Set/Reset en la implementación del diseño asignando esa función en el VHDL. Tipos de pines:

**Permanentemente dedicados.** El usuario no puede utilizarlos nunca, bajo ningún concepto para otra función. De entrada/salida con otras funciones. Durante la configuración tienen una función especial, y después de la configuración se comportan como pines de Entrada/ Salida. Irrestringidos de entrada/salida. Son utilizados para la entrada o salida de los datos del circuito (completamente definidos por el usuario) mediante la asignación de pines en el diseño [1].

**Permanentemente dedicados.**

- **VCCO.** 8 pines o más para la alimentación de los drivers de salida del chip (3.3v).
- **VCINT.** 8 pines o más para la alimentación interna del chip (2.5v).
- **GND.** 8 pines o más para la referencia a tierra del chip (0v).
- **CCLK.** Reloj para la configuración, es de entrada en la configuración en modo esclavo, y de salida en los demás modos.
- **Done.** Pin bidireccional. Como salida indica la terminación de la carga de la configuración. Como entrada indica un retraso al circuito para completar la configuración de muchas FPGA's.
- **/Program** Es una entrada. A nivel bajo borra la memoria de configuración. Cuando su nivel sube, inicia un nuevo ciclo de borrado de la memoria de configuración, y genera la señal de inicialización de la carga de la configuración por el pin /INIT.

**De entrada/salida con otras funciones.**

- **BUSY.** Durante la configuración en modo periférico (paralelo) indica cuando la FPGA está lista para recibir otro byte por D0-D7. después de la configuración pin de Entrada/ Salida.
- **M0, M1, M2.** Antes de la configuración estos pines de entrada definen el modo de configuración. después de la configuración M0 y M2 son sólo entradas, mientras que M1 es sólo salida triestado.
- **TDO.** Usado para debugging por medio de la técnica boundary-scan. Si no se usa dicha técnica, es una salida en triestado. Después de la configuración este pin sólo puede ser salida.

- TDI, TCK, TMS. Si se usa la técnica de debugging boundary-scan, estos pines significan: Test Data In, Test Clock y Test Mode Select. Si no se usa esta técnica son pines de Entrada/ Salida.
- /INIT. Señal bidireccional antes y durante la configuración se recomienda un pull-up de entre 1 y 10 K $\Omega$  durante la configuración se tiene un nivel 0 si hay un error de configuración. Después de la configuración se usa como un pin de Entrada/ Salida.
- GCK1-3. Cuatro líneas de reloj dedicadas primarias, con mínimo retraso y bajo skew. Si no se usan como reloj, se comportan como pines de Entrada/ Salida.
- /CS. Pines usados en el modo de configuración de Periférico Asíncrono para seleccionar el circuito integrado. Después de la configuración se usan como pines de Entrada/ Salida.
- Din. Durante la configuración en modo Serie Esclavo o Serie Maestro, recibe el bit de dato de la configuración que es leído al flanco ascendente de la señal CCLK dato de entrada para la configuración. Durante la configuración en paralelo Din es D0. Después de la configuración pin de Entrada/ Salida.
- Dout. Durante cualquier modo de configuración es el bit de configuración anterior al actual, utilizado para esquemas daisy-chain(conexión en cadena). Después de la configuración es un pin de Entrada/ Salida.

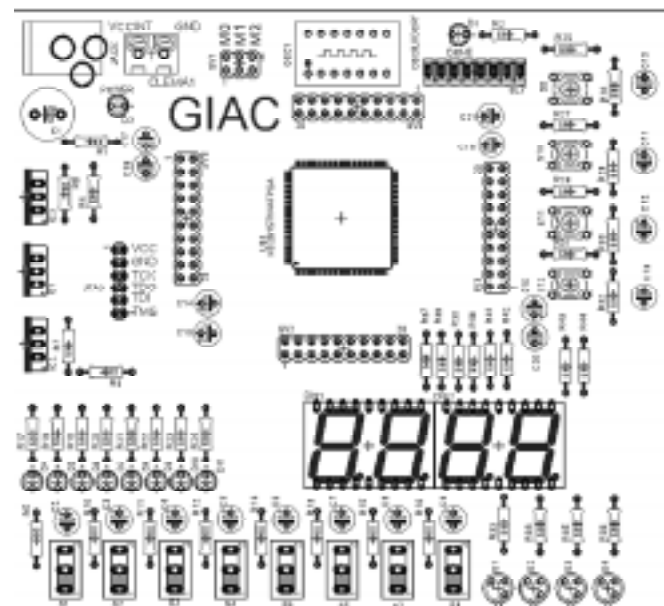
#### Pines irrestrictos de entrada/ salida.

Son los pines que pueden ser asignados como entrada y/o salida después de la configuración. Durante la configuración estos pines tienen un valor lógico de 1 con un pull-up interno de entre 50 K $\Omega$  y 100 K $\Omega$  después de la configuración tienen la función asignada de entrada y/o salida.

### DISEÑO DE LA PCB DE LA TARJETA ENTRENADORA.

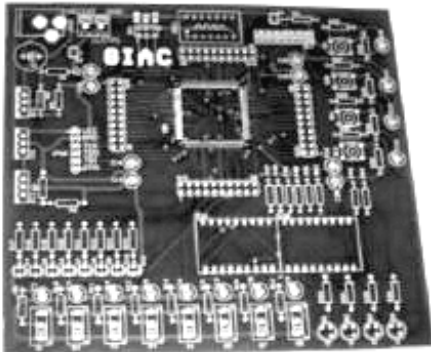
Para el diseño de la tarjeta entrenadora se estudió las características técnicas de la pastilla y sus formas de configuración, optando por la técnica boundary-scan, esta junto, con los requerimientos de desarrollo que se deseaban dieron las pautas y consideraciones de diseño de la tarjeta impresa, que se realizó en el software Eagle 4.11® (software de diseño para circuitos impresos(PCB)), diseño en el cual se realizó desde la edición del encapsulado de la FPGA puesto que no existe este dispositivo en sus librerías, hasta la generación de los archivos para la fabricación[4].

Figura 3. Disposición de elementos en la plaqueta.



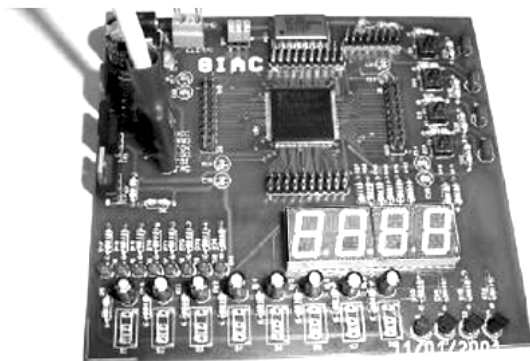
Para la fabricación de la tarjeta impresa se solicitó la manufactura a la empresa Microcircuitos LTDA en Cali a partir de los archivos de fabricación obtenidos en el diseño, ya que se necesitó una alta calidad en el impreso debido al encapsulado de la FPGA que posee 144 pines y es de montaje superficial, el PCB mostrado en la figura 4.

Figura 4. PCB manufacturada por Microcircuitos.LTDA



## RECURSOS DE LA TARJETA ENTRENADORA.

Figura 5. Tarjeta entrenadora para FPGA



En la figura 5 se muestra el diseño completo de la tarjeta entrenadora cuyas características son:

- 4 puertos de expansión (20 pines), que dan acceso a las pines de entrada/salida de la FPGA los cuales permiten interactuar con otro hardware.
- La inserción de un oscilador que genere la señal de reloj para los diseños síncronos.
- LEDs, interruptores y pulsadores de pruebas, conectados a unos terminales fijos de la FPGA, que la hacen una herramienta didáctica, puesto que para hacer pruebas de funcionamiento,

desarrollo e investigación sin tener que conectar ningún circuito externo.

- LED de programación, conectado al terminal Done, que indica si la FPGA está correctamente programada.
- 4 display siete segmentos para visualización.
- LED indicador para la fuente de alimentación.
- Conector para usar el cable de descarga (download) estándar de Xilinx ®

## IMPLEMENTACIÓN DE UN SUMADOR DE 1 BIT EN VHDL .

Consideraciones para el diseño de un sumador binario de 1 bit.

Entradas:

a: # binario de 1 bit.

b: # binario de 1 bit.

ci: # binario de 1 bit.

Salidas:

suma: # binario de 1 bit.

co: # binario de 1 bit.

Tabla 1. Tabla de verdad del diseño

ENTRADAS			Salidas	
a	B	ci	suma	co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

De la tabla de la verdad utilizando el álgebra de Boole [ 5] se obtienen las siguientes ecuaciones lógicas:

$$\text{suma} = a \oplus b \oplus ci$$

$$\text{co} = (ci * (a \oplus b)) + (a * b)$$

Las cuales se utilizan para la implementación en el software ISE®,

#### • Síntesis

En este proceso se realizan la compilación del diseño y se verifica el cumplimiento de los estándares.

#### • Implementación

Corresponde a las acciones hechas por el compilador seleccionado para la optimización del diseño en la FPGA.

#### • Programación

Proceso que tiene como función realizar la configuración de la FPGA[ 6].

El diseño en VHDL es el siguiente:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity sumador is — declaración de la entidad
    Port ( a : in std_logic;
          b : in std_logic;
          ci : in std_logic;
          suma : out std_logic;
          co : out std_logic);
end sumador;

architecture data_flow of sumador is
    signal k : std_logic;
begin
    suma <= a xor b xor ci;
    k <= a xor b ;
    co <= (ci and k) or (a and b );
end data_flow;
```

## RESULTADOS

El proyecto provee de una herramienta de desarrollo para el diseño digital usando FPGA's y abre un amplio camino para el desarrollo de proyectos de investigación. Un diseño óptimo puede crearse para cada aplicación y cargarse cada vez que se requiera. Así el investigador puede utilizar esta herramienta de desarrollo para el tratamiento de señales, implementación de algoritmos complejos, comunicaciones, filtrado, desarrollo de sistemas de control, etc. Si el diseño se realiza en VHDL estos trabajos pueden ser portados a cualquier plataforma que soporte el lenguaje. Ser publicados con el propósito de realizar en ellos mejoras, conclusiones ó que sean base para otras aplicaciones tanto de nuestra comunidad académica como del resto de personas interesadas en el tema. Los principales logros obtenidos en este proyecto son:

- La selección de la FPGA XC2S15® de Xilinx®, en la cual se pueden desarrollar proyectos de alta complejidad, tiene un precio asequible y son populares en el mercado electrónico.
- Inscripción del Grupo de Investigación en Automatización y Control (GIAC) de la Universidad Francisco de Paula Santander, en el programa universitario de Xilinx®, el cual donó el software ISE® con su respectiva licencia para 10 estaciones de trabajo.
- Contar con Xilinx®, que por medio de su programa universitario permite actualizaciones del software, donación de tarjetas de desarrollo, dispositivos y respaldo para futuros proyectos.
- Se establece contacto con la empresa Microcircuitos LTDA. de la ciudad de Cali que fabrica circuitos impresos de alta tecnología.
- Contar con herramientas de desarrollo para el diseño con VHDL tanto de software como de hardware.

- Contar con los archivos de diseño para la fabricación de la tarjeta entrenadora para FPGA.

## CONCLUSIONES

La FPGA XC2S15® es un dispositivo electrónico en el cual investigadores y estudiantes de la Universidad Francisco de Paula Santander podrán realizar diseño digital a diferentes niveles de complejidad, desde diseño elemental como el sumador de 1 bit hasta diseño de gran complejidad como comunicaciones digitales, tratamiento digital de señales, tratamiento digital de imágenes, etc.

El software ISE® de Xilinx® es una herramienta computacional eficiente, de gran alcance, de múltiples funciones de desarrollo y fácil manejo que lo hacen un recurso indispensable en el laboratorio de microelectrónica de la Universidad Francisco de Paula Santander.

Que la dotación de los laboratorios de la Universidad Francisco de Paula Santander tiene como opción los trabajos de grado; en los cuales los estudiantes puedan usar los conocimientos adquiridos en desarrollar su imaginación y creatividad. Aprender haciendo en beneficio de la Universidad.

## REFERENCIAS

- [1] Xilinx Inc., <http://www.xilinx.com/>
- [2] MAXINEZ, David G. y otro, VHDL. El arte de programar sistemas digitales. CECSA. Primera edición. México. 2002.
- [3] Villar, Eugenio. / López Barrio, C. A. prol. / Burriel Lluna, Rafael prol. / Aldana Mayor, Fernando pol, «VHDL lenguaje estándar de diseño electrónico», Madrid McGraw-Hill D.L. 1997.

[4] CadSoft, <http://www.cadsoft.de/>

[5] WAKERLY, John. Diseño digital. México: Prentice may, Tercera Edición.

[6] C. E. Torres, R. Nieto, A. Bernal. "Diseño e Implementación de una tarjeta PCI para adquisición de datos basada en una FPGA", X Workshop IBERCHIP – IWS 2004 Marzo 10-12, Cartagena, Colombia, 2004, <http://eiee.univalle.edu.co/~digitales/GADM/Publications.html>